

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

ENDEBLATT

DRUCKAUFTRAGS-ID: 3388

Benutzer: raschnei
Drucker: gdHO7320
Job Beginn: 27.02.2004 09:34
Job Ende: 27.02.2004 09:34

⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES

PATENTAMT

Offenlegungsschrift

⑩ DE 196 48 492 A 1

⑮ Int. Cl. 6:

02
H 01 L 25/00

H 01 L 23/12

H 05 K 1/18

H 05 K 1/14

H 05 K 7/20

// H 05 K 3/46

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

⑪ Anmelder:

Siemens AG, 80333 München, DE

⑫ Erfinder:

Ameur, Raouf Ben, 67346 Speyer, DE; Vogel, Helmut, 76307 Karlsbad, DE

⑬ Entgegenhaltungen:

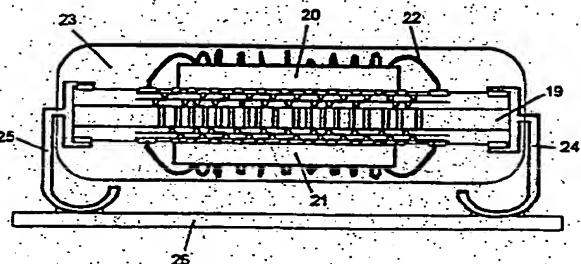
JP 5-291493 A - in: Patents Abstracts of Japan, Sect. E, Vol. 18 (1994), Nr. 80 (E-1505);
JP 3-141666 A - in: Patents Abstracts of Japan, Vol. 15 (1991) Nr. 359 (E-1110);
JP 6-252339 A - in: Patents Abstracts of Japan, Vol. 18 (1994) Nr. 643 (E-1640);
JP 2-148862 A - in: Patents Abstracts of Japan, Vol. 14 (1990) Nr. 396 (E-970);
JP 4-290258 A - in: Patents Abstracts of Japan, Sect. E, Vol. 17 (1993) Nr. 101 (E-1327);

Prüfungsantrag gem. § 44 PatG ist gestellt

⑭ Multi-Chip-Modul

⑮ Die Erfindung betrifft ein Multi-Chip-Modul, das zumindest eine interne, beidseitig mit Halbleiterbauelementen (20, 21) bestückte Leiterplatte (19) enthält. Dadurch wird eine Erhöhung der Packungsdichte bei integrierten Schaltkreisen erreicht.

Die Erfindung wird angewandt bei Gehäusen für Halbleiterbauelemente.



DE 196 48 492 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 09.97. 702.046/740

8/26

Beschreibung

Die Erfindung betrifft ein Multi-Chip-Modul nach dem Oberbegriff des Anspruchs 1.

Ein derartiges Multi-Chip-Modul (MCM) ist beispielsweise aus dem Aufsatz "Speicher der 3. Dimension" von Henning Wriedt, veröffentlicht in "elektronik industrie" 10-1995, Seiten 100 und 102, bekannt. Unter der 3. Dimension wird dort das Übereinanderstapeln von unversiegelten Speicherchips, deren Schaltungsteile jeweils im wesentlichen zweidimensional nebeneinander angeordnet sind, verstanden. Diese Technik ist insbesondere dann interessant, wenn eine Elektronikschaltung nur wenig Platz beanspruchen soll. Beispielsweise werden vier Speicherchips in einer Ebene und vier Ebenen übereinander in einem 3D-Modul angeordnet. Hinzu kommen je Ebene zwei Gold- und drei Isolationschichten. Die elektrischen Verbindungen zwischen den einzelnen Ebenen erfolgen jeweils entlang der Schichtkanten. Nachteilig bei diesem Stapelaufbau ist, daß je Chip eine Zwischenschicht mit Isolier- und Goldlagen erforderlich ist. Dies wirkt sich negativ auf die Bauhöhe des Multi-Chip-Moduls aus.

Aus der DE 44 22 669 A1 ist eine Mehrlagen-Leiterplatte, die mit integrierten Schaltkreisen bestückbar ist, bekannt. Diese Mehrlagen-Leiterplatte weist eine Verdrahtungsschicht mit mehreren Verdrahtungslagen auf, die jeweils durch eine rage aus isolierendem Material getrennt sind. Die isolierende Lage ist mit Aussparungen zur Verbindung bestimmter Leitungen der Verdrahtungslagen versehen. Zwei im wesentlichen flächenhaft ausgebildete Lagen aus elektrisch leitendem Material sind durch eine dünne dielektrische Schicht voneinander getrennt und wirken als Stützkondensator für die Versorgungsspannungen. In die Verdrahtungsschicht werden siebgedruckte Widerstände integriert. Damit ist eine Fertigung von Flachbaugruppen mit hoher Packungsdichte möglich.

Der Erfindung liegt die Aufgabe zugrunde, ein Multi-Chip-Modul zu schaffen, bei welchem eine weitere Erhöhung der Packungsdichte erreicht wird.

Zur Lösung dieser Aufgabe weist das neue Multi-Chip-Modul der eingangs genannten Art die im kennzeichnenden Teil des Anspruchs 1 genannten Merkmale auf. In den Unteransprüchen sind vorteilhafte Weiterbildungen des Multi-Chip-Moduls beschrieben:

Die Erfindung hat den Vorteil, daß für zwei Halbleiterbauelemente nur noch eine Zwischenlage zur Herstellung der elektrischen Verbindungen zwischen den Anschlüssen der Halbleiterbauelemente und den Anschlüssen des Multi-Chip-Moduls erforderlich ist. Die Zahl der Zwischenlagen wird gegenüber dem bekannten Stapelaufbau, bei welchem für jede Lage von Halbleiterbauelementen eine Zwischenlage vorgesehen werden muß, halbiert. In vorteilhafter Weise wird somit die Bauhöhe des Multi-Chip-Moduls verringert. Durch eine Mehrlagen-Oberflächenverdrahtung der Leiterplatte, bei der eine Verdrahtungsschicht aus zumindest zwei Verdrahtungslagen und einer Lage aus isolierendem Material besteht, welche die beiden Verdrahtungslagen voneinander trennt und nur an den Stellen Aussparungen aufweist, an welchen Verbindungen zwischen Leitungen der Verdrahtungslagen herzustellen sind, wird zudem in besonders vorteilhafter Weise ein dünner Aufbau der internen Leiterplatte ermöglicht. Für den Fall, daß eine hohe Verlustleistung der Halbleiterbauelemente abgeführt werden muß, kann in der Leiterplatte eine Lage aus gut wärmeleitendem Material

vorgesehen werden. Dabei kann vorteilhaft auf durchgehende Kontaktierungen verzichtet werden, wenn Anschlußelemente, die zur elektrischen Verbindung von Leitungen der internen Leiterplatte mit Anschlußflächen auf der externen Leiterplatte erforderlich sind, an der Kante der internen Leiterplatte angeordnet und derart ausgebildet sind, daß sie diese umgreifen und eine elektrische Verbindung zwischen Leitungen der Ober- und Unterseite der internen Leiterplatte herstellen. Durch diese Anschlußelemente kann die Abwärme zum einen in die Umgebung abgestrahlt und zum anderen in die externe Leiterplatte, auf welche das Multi-Chip-Modul bestückt ist, abgeleitet werden. Dabei unterliegt die Form der Anschlußelemente und die Art ihrer Verbindung mit den Anschlußflächen der externen Leiterplatte keinerlei Beschränkungen. Durch die Verwendung einer internen Leiterplatte mit Mehrlagen-Oberflächenverdrahtung sind auch Leitungsabstände beherrschbar, wie sie bei Anschlußelementen von Halbleiterbauelementen üblich sind. Passive Bauelemente, wie z. B. Entkoppelungskondensatoren und Widerstände, können in die Leiterplatte integriert werden.

Anhand der Zeichnungen, in denen Ausführungsbeispiele der Erfindung dargestellt sind, werden im folgenden die Erfindung sowie Ausgestaltungen und Vorteile näher erläutert.

Es zeigen:

Fig. 1 eine interne Leiterplatte mit Anschlußelementen,

Fig. 2 ein Multi-Chip-Modul mit einer beidseitig mit Halbleiterbauelementen bestückten internen Leiterplatte und

Fig. 3 ein Multi-Chip-Modul mit zwei beidseitig mit Halbleiterbauelementen bestückten internen Leiterplatten in Explosionsdarstellung.

In einer Schnittdarstellung nach Fig. 1 ist der Schichtaufbau einer internen Leiterplatte gut erkennbar. Diese besteht im wesentlichen aus einem Trägersubstrat 1, auf dessen Ober- und Unterseite jeweils eine Verdrahtungsschicht aufgebracht ist. Die Verdrahtungsschicht auf der Oberseite beispielsweise ist mit drei Verdrahtungslagen 2, 3 und 4 aufgebaut, die durch zwei Lagen aus einem elektrisch isolierenden Dielektrikum 5 bzw. 6 voneinander getrennt sind. An den Stellen, an denen Verbindungen zwischen Leitungen verschiedener Verdrahtungslagen, beispielsweise eine Verbindung 7 zwischen einer Leitung der Verdrahtungslage 3 und einer Leitung der Verdrahtungslage 4, hergestellt werden sollen, sind Aussparungen in dem jeweiligen Dielektrikum vorgesehen. Eine derartige Verdrahtungsschicht kann sehr dünn und mit feinen Strukturen hergestellt werden. Weitere Einzelheiten zum Herstellungsverfahren sind der eingangs genannten DE 44 22 669 A1 zu entnehmen. Die Oberseite der Verdrahtungsschicht ist mit Lötstopplack 8 abgedeckt, der an den Anschlußflächen für die Anschlußelemente eines zu bestückenden Halbleiterbauelements Öffnungen 9 aufweist. Diese Öffnungen 9 dienen auch als Lotdepot, d. h. als Raum, in den ein Lot eingebracht werden kann. Durchkontaktierungen 10 in dem Trägersubstrat 1 dienen sowohl zur elektrischen Verbindung von Leitungen der oberen und unteren Verdrahtungsschicht als auch zur Wärmekopplung zwischen dem auf der Oberseite und dem auf der Unterseite zu bestückenden Halbleiterbauelement. An den Kanten der internen Leiterplatte sind Anschlußelemente 11 und 12 angeordnet, welche die Kanten umgreifen und eine elektrische Verbindung zwischen Anschlußflächen 13 bzw. 14 der Oberseite und Anschlußflächen 15 bzw. 16

der Unterseite herstellen. Dadurch kann die Zahl der erforderlichen Durchkontaktierungen 10 im Trägersubstrat 1 reduziert werden. Eine weitere Funktion der Anschlußelemente 11 und 12 ist die Ableitung der in dem Multi-Chip-Modul entstehenden Abwärme über Pins 17 bzw. 18, die hier J-förmig ausgeführt sind, in die externe Leiterplatte, auf welche das Multi-Chip-Modul montiert wird. Gleichzeitig dienen die Anschlußelemente 11 und 12 mit ihren Pins 17 bzw. 18 selbst als Kühlkörper.

Es wird darauf hingewiesen, daß Fig. 1 nicht maßstabsgerecht gezeichnet ist. Lediglich zur besseren Anschaulichkeit ist die Dicke der einzelnen Lagen im Verhältnis zur Breite erheblich vergrößert.

Funktionen des Trägersubstrats 1 sind im wesentlichen eine Erhöhung der Stabilität der internen Leiterplatte sowie eine Verbesserung der Wärmeableitung zu den Anschlußelementen 11 und 12. Werden durch die verwendeten Verfahren zur Fertigung des Multi-Chip-Moduls oder durch dessen Handhabung geringere Anforderungen an die Stabilität gestellt, so kann auch auf ein Trägersubstrat verzichtet werden. Das Trägersubstrat kann auch durch eine Lage aus gut wärmeleitendem Material, beispielsweise Metall, ersetzt werden. Dies wirkt sich vorteilhaft auf die Dicke der internen Leiterplatte und somit auf die Bauhöhe des Multi-Chip-Moduls mit einer derartigen Leiterplatte aus.

Wie in dem Schnittdiagramm nach Fig. 2 dargestellt, wird eine interne Leiterplatte 19 sowohl auf ihrer Oberseite als auch auf ihrer Unterseite mit einem Halbleiterbauelement 20 bzw. 21 bestückt. Die elektrischen Verbindungen zwischen Anschlußflächen der Halbleiterbauelemente und Anschlußflächen auf der internen Leiterplatte 19 sind durch Bonden mit Bond-Drähten 22 hergestellt. Das Multi-Chip-Modul ist in einem Gehäuse 23 aus einer Vergußmasse, beispielsweise aus Plastik, gegen mechanische und chemische Beanspruchungen geschützt. Aus dem Gehäuse 23 ragen Pins 24 und 25 heraus, die durch Lot elektrisch mit einer externen Leiterplatte 26 verbunden sind, auf welcher das Multi-Chip-Modul montiert ist. Werden nur geringe Anforderungen an den Schutz vor Umwelteinflüssen gestellt, so kann das Gehäuse auch offen ausgeführt werden und beispielsweise als Trägerrahmen dienen oder ganz entfallen.

Alternativ zur in Fig. 2 gezeigten Bond-Verdrahtung können Anschlußflächen von Halbleiterbauelementen auch als Metallisierung ausgeführt werden, die sich auf den Kanten oder auf der Unterseite des Halbleiterbauelements, die der internen Leiterplatte im bestückten Zustand zugewandt ist, befinden und direkt mit Anschlußflächen der internen Leiterplatte verlötet werden. Diese Ausführungsform zeichnet sich durch eine geringere Bauhöhe aus, da kein Raum für die Bond-Verdrahtung benötigt wird.

In der Explosionsdarstellung nach Fig. 3 sind zwei interne Leiterplatten 27 und 28, die mit Halbleiterbauelementen 29, 30 bzw. 31, 32 beidseitig bestückt sind, übereinander angeordnet. Darunter befindet sich eine Leiterplatte 33, auf welche das fertigmontierte Multi-Chip-Modul bestückt werden kann. Die Halbleiterbauelemente 29...32 sind hier mit Anschlußelementen versehen, die als Metallisierung des Halbleitermaterials ausgeführt sind. In Fig. 3 sind davon, lediglich einige Anschlußelemente der Halbleiterbauelemente 29 und 31, beispielsweise ein Anschlußelement 34, sichtbar. Die internen Leiterplatten 27 und 28 besitzen hierzu korrespondierende Anschlußflächen 35, die mit Lot gefüllt sind, damit die Halbleiterbauelemente 29...32 direkt

mit den internen Leiterplatten 27 und 28 verlötet werden können. Durchkontaktierungen 36 dienen zur Wärmeleitung der Halbleiterbauelemente 29...32 über die internen Leiterplatten 27 und 28 hinweg, so daß eine in einem der Halbleiterbauelemente 29, 30, 31 oder 32 entstehende Abwärme sich gleichmäßig auf den Bauelementestapel verteilt und nicht zu einer punktuellen Erhitzung führt. Die Leiterplatten 27 und 28 sind mit internen Metalllagen zur Entwärmung versehen und liefern so beide einen Beitrag zur Entwärmung des Bauelementestapels. Für eine weitere Verbesserung der Wärmeleitung können die Durchkontaktierungen 36 auch mit einem Wärmeleiter, insbesondere einer Wärmeleitpaste, ausgefüllt werden. Für eine elektrische und wärmeleitende Verbindung ist die interne Leiterplatte 28 mit Anschlußelementen 37 versehen, die mit zu diesen korrespondierenden Anschlußflächen 38 auf der internen Leiterplatte 27 verlötet werden. Ebenso sind entlang der Kanten der internen Leiterplatte 27 Anschlußelemente 39 angeordnet, die mit Anschlußflächen 40 der externen Leiterplatte 33 verlötet werden.

In einer anderen, in den Figuren nicht dargestellten Ausführungsform können die Anschlußelemente von übereinander angeordneten internen Leiterplatten auch vertikal fluchtend platziert werden, so daß die Anschlußelemente benachbarter interner Leiterplatten direkt miteinander verlötet werden. Diese Bauform bietet sich insbesondere dann an, wenn gleiche Halbleiterbauelemente gestapelt werden, da auf diese Weise gleiche interne Leiterplatten für die verschiedenen Ebenen verwendet werden können.

Alternativ zu dem in Fig. 3 gezeigten Ausführungsbeispiel kann anstelle der Durchkontaktierungen zur Wärmeleitung auch jeweils eine Aussparung in den internen Leiterplatten vorgesehen werden, welche im wesentlichen den Raum zwischen den Anschlußflächen 35 einnimmt und mit einem gut wärmeleitenden Material, beispielsweise einer Metallplatte, ausgefüllt wird.

Der neue Stapelaufbau eines Multi-Chip-Moduls erlaubt in vorteilhafter Weise auch, auf der Oberseite des Multi-Chip-Moduls einen Kühlkörper anzusiedeln, der thermisch mit dem Bauelementestapel gekoppelt wird.

Vorteilhaft auf die Wärmeableitung über die Anschlußelemente des Multi-Chip-Moduls zur externen Leiterplatte hin wirkt sich auch die geringe Dicke der Verdrahtungsschicht aus, welche die Anschlußelemente von den innerhalb der internen Leiterplatte eingebetteten Metalllagen elektrisch isoliert. Die Verdrahtungsschichten mit einer geringeren Wärmeleitfähigkeit stellen somit einen nur vergleichsweise kurzen Weg für die Abwärme dar und verringern kaum den über die Anschlußelemente übertragbaren Wärmestrom.

In einer weiteren von Fig. 3 abweichenden Bauform können obere interne Leiterplatten auch größer als untere ausgeführt und mit längeren Anschlußelementen versehen werden, welche die unteren internen Leiterplatten seitlich überragen und direkt mit der externen Leiterplatte verlötet werden. Die Anordnung der Anschlußflächen auf einer externen Leiterplatte ähnelt dann einem Rasterfeld mit mehreren Anschlußreihen.

Für die beidseitige Bestückbarkeit der internen Leiterplatten sollten diese mehrlagig ausgeführt werden, damit bei gleichen Halbleiterbauelementen die spiegelbildliche Anordnung der Bauelementeanschlüsse auf ein gemeinsames Anschlußschema für das Multi-Chip-Modul zurückgeführt werden kann.

Das neue Multi-Chip-Modul ist aufgrund seiner hohen Packungsdichte beispielsweise in den folgenden An-

wendungen mit Vorteil einsetzbar:

- Ton- und/oder Bildträger mit Halbleiterspeichern.
- Arbeitsspeicher für Personal Computer oder
- Speicher auf PCMCIA-Karten.

Patentansprüche

1. Multi-Chip-Modul, das zur Montage auf einer Leiterplatte ausgebildet ist, gekennzeichnet durch zumindest eine interne, beidseitig mit Halbleiterbauelementen (20, 21) bestückte Leiterplatte (19). 10
2. Multi-Chip-Modul nach Anspruch 1, dadurch gekennzeichnet, daß die Halbleiterbauelemente (20, 21) durch Bond-Draht (22) mit Anschlußflächen auf der internen Leiterplatte (19) verbunden sind. 15
3. Multi-Chip-Modul nach Anspruch 1, dadurch gekennzeichnet, daß die Halbleiterbauelemente (29 ... 32) mit Anschlußelementen (34) versehen sind, 20 die als Metallisierung des Halbleitermaterials ausgeführt und direkt mit Anschlußflächen (35) auf der internen Leiterplatte (27, 28) verlötet sind.
4. Multi-Chip-Modul nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß Anschlußelemente (11, 12) zur elektrischen Verbindung von Leitungen der internen Leiterplatte mit Anschlußflächen auf der externen Leiterplatte an der Kante der internen Leiterplatte angeordnet und derart ausgebildet sind, daß sie diese umgreifen 25 und durch die Anschlußelemente elektrische Verbindungen zwischen Leitungen der Ober- und Unterseite der internen Leiterplatte herstellbar sind.
5. Multi-Chip-Modul nach Anspruch 4, dadurch gekennzeichnet, daß die interne Leiterplatte zumindest eine Lage aus gut wärmeleitendem Material aufweist, die sich im wesentlichen über die Fläche der internen Leiterplatte erstreckt. 30
6. Multi-Chip-Modul nach Anspruch 5, dadurch gekennzeichnet, daß die interne Leiterplatte (27, 28) 40 mit Durchkontaktierungen (36) zur Erzeugung einer gut wärmeleitenden Verbindung zwischen den Halbleiterbauelementen (29 ... 32) und der Lage aus gut wärmeleitendem Material versehen ist.
7. Multi-Chip-Modul nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß in einem Gehäuse ober und/oder unterhalb der ersten internen Leiterplatte (27) weitere, mit Halbleiterbauelementen (31, 32) bestückte Leiterplatten (28) angeordnet sind. 45
8. Multi-Chip-Modul nach Anspruch 7, dadurch gekennzeichnet, daß Anschlußelemente (37) zur elektrischen Verbindung von Leitungen der weiteren internen Leiterplatten (28) mit Anschlußflächen (38) auf der ersten internen Leiterplatte (27) im 50 Gehäuse angeordnet sind.
9. Multi-Chip-Modul nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die interne Leiterplatte eine Verdrahtungsschicht mit mehreren Verdrahtungslagen (2, 3, 4) aufweist, die jeweils durch eine Lage (5, 6) aus isolierendem Material voneinander getrennt sind, wobei die isolierende Lage (5, 6) mit Aussparungen (7) zur Verbindung bestimmter Leitungen der Verdrahtungslagen (2, 3, 4) versehen ist. 55

FIG 1

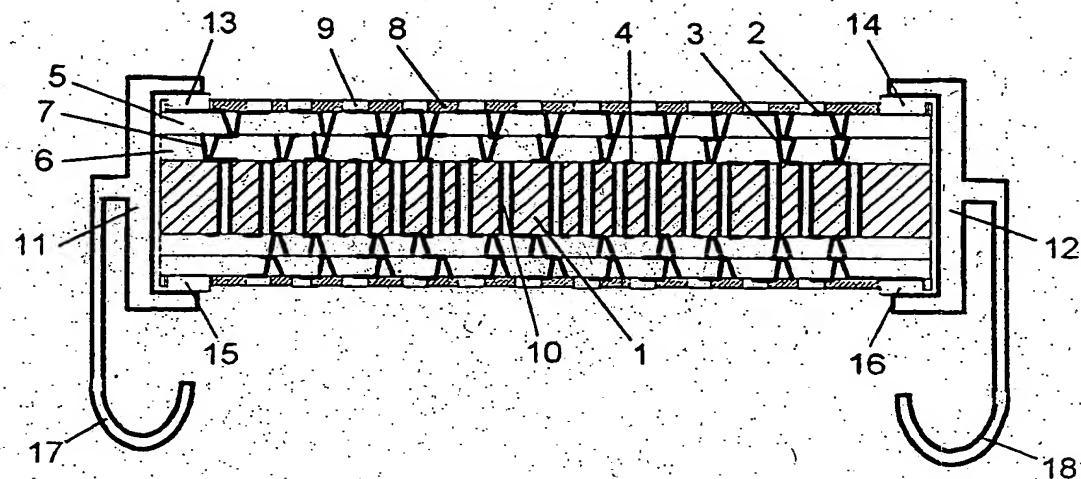
*Bond Draht*

FIG 2

